

MPEG-2 エンコーダ LSI の開発

Development of MPEG-2 Encoder LSI

片山泰男 (ウィンボンド・エレクトロニクス (株))

Yasuo Katayama (Winbond Electronics Corp.)

Abstract: Development of MPEG-2 encoder LSI W99201 is introduced, in which hardware modules; ME, MC, DCT, Q, VLC, IQ and IDCT construct a video coding pipeline. Internal CPU makes macroblock headers, audio Layer II and Systems TS/PS. ME consists of 768 PEs, detects optimal forward/backward and frame/field motion vectors using direct-full-search in fixed range $[\pm 47.5, \pm 15.5]$. MC selects mode from full prediction modes and intra-coding, and modifies quantize scale for each macroblock. Rate control algorithms are provided for CBR, VBR and VCBR (variable communication bitrate). PSNR results of CBR of this product are upto 1.2 dB higher than MSSG TM5.

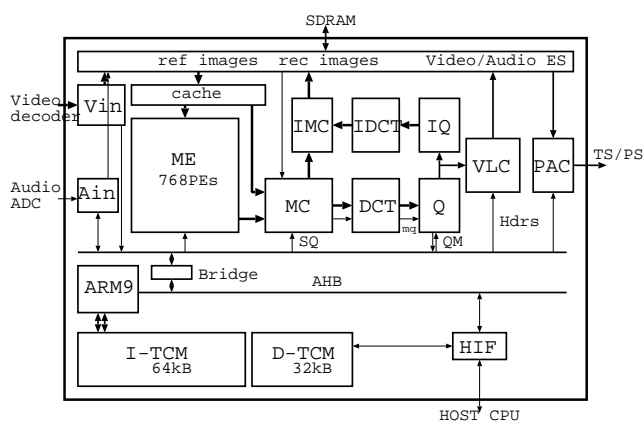


Fig.1 Block diagram of MPEG-2 Encoder LSI

1 はじめに

ワイヤレス TV、デジタルカムコーダ、HDD レコーダに使用されることを目的としたシンプルかつ高性能な MPEG-2 エンコーダ LSI を開発したので、その技術的側面であるアーキテクチャと符号化アルゴリズムとについて報告する。

2 アーキテクチャ

2.1 ビデオにおける H/W と内部 CPU の動作

外部 64 Mbit SDRAM を 8 枚の画像バッファと要素ストリーム (ES) バッファに使う。画像入力モジュール (Vin) は、画像を 4:2:0 に変換し SDRAM の画像バッファに格納する。動き推定 (ME)、動き補償予測 (MC)、DCT、量子化 (Q)、逆量子化 (IQ)、IDCT、画像格納 (IMC)、可変長符号化 (VLC) の各モジュールは、マクロブロック単位のパイプラインを構成して画像符号化を行う (54 MHz 動作)。一方、内部 CPU ARM9 (108MHz) は、I-TCM

64kB、D-TCM 32kB をもち、I/O アクセス以外は 1 サイクル動作をする。内部 CPU は、画像毎のレート制御、画像ヘッダ作成、スライスのレート制御、マクロブロックヘッダ作成を担当する。

動作は、I/P 画像の間隔 M(1~3) を単位とする。画像入力、符号化、内部 CPU は、並列に動作する。画像入力は、M 枚の画像入力完了毎に内部 CPU に通知する。内部 CPU は、画像の符号化開始を ME に指示し、スライス毎の量子化スケール (SQ) を MC に与え、符号化モジュール列を起動する。量子化係数が出来る毎 (約 25 μ sec) に内部 CPU が起動され、マクロブロックヘッダを作成し、ブロックレイヤの VLC を起動する。スライス、画像の最後の場合、次のスライス、次の画像のヘッダ処理をする。

2.2 オーディオとシステムにおける内部 CPU の役割

Ain オーディオ入力モジュールに 32 サンプル入力される毎に、内部 CPU が MPEG Audio Layer II のサブバンドフィルタ処理と量子化処理をする。ストリームの SDRAM への格納は、Ain を経由する。

MPEG-2 システム多重化 (TS/PS) は、パケット出力毎に内部 CPU がシステムヘッダ作成とレート制御を行い、PAC を制御する。PAC モジュールは、SDRAM に格納されたオーディオとビデオの ES にシステムヘッダを付加し指定された時刻に出力する。

3 ビデオ符号化アルゴリズム

MPEG-2 エンコーダには低コストかつ高性能という要求がある。基本的な符号化性能を高めるためには、各符号化モジュールにおいて高精度な処理を行い、内部 CPU のレート制御においても高度な処理を行う必要がある。

画像サイズは、横 720、704、(352) 画素の NTSC/PAL。ビットレートは、2(1)~15 Mbit/s を扱う。() 内は、HALF D1)

3.1 ME : 動き推定

ME モジュールは、画像タイプ、フレーム間隔によらず、固定の範囲 $[\pm 47.5, \pm 15.5]$ の再構成画像からのダイレクトフルサーチを行う。108MHz で動作する処理エレメント (PE) を 768 個使用し、順/逆方向のフレーム/フィールド予測の SAD 評価基準で最小エラー点を整数画素まで検出後、半画素まで検出する。固定のサーチ範囲は、フレーム間隔 1 のとき大きな動きを許容して性能を上げることができる。

3.2 MC : 動き補償、DCT、量子化

MC モジュールは、フレーム/フィールド予測の順/逆方向/内挿の 6 予測を求め、それらから SAD 評価で最適な予測を選択する。また、イントラ/インター判定、フレーム/フィールド DCT 判定、マクロブロックの活動性による量子化スケール修正を行う。

DCT、IDCT は、Chen のアルゴリズムを使い DCT は、符号化系全体を考慮した丸めを行う。量子化は、規定の逆量子化で最適な量子化を行い、ロバスト性のため、ストリーム記述の 2 倍までの量子化スケールを扱い、緊急時に係数を廃棄する機能を持つ。

3.3 レート制御

可変長符号を用いるビデオのレート制御は、いつ符号化困難な乱数画像に変わっても符号量を制御する必要がある。ロバスト性と符号化効率との両立は、レート制御のもっとも重要な課題である。ロバスト性のために符号化効率を犠牲にするのではなく、多くの手段でロバスト性を確保すれば、緩やかな制御によって符号化効率を上げることができる。

量子化の粗さは、量子化スケール m_q と量子化マトリックス QM_{ij} の積で働くため、 QM_{ij} が大きいと、淡い画像において m_q が小さくなり、1 の近辺の相対的に大きな変動が符号化効率を下げる。小さすぎると困難画像で m_q 制限のためレート制御できない。そのため、 QM_{ij} を広域定数とせず、適切に更新を行うことは、ロバスト性と符号化効率の両方に効果がある。

画面内のレート制御は、IPB 画像で共通のバッファを使い、スライス単位にレート制御をする。バッファ量から量子化スケールに変換する反応係数を画像タイプに依存させた。Intra VLC と alternate scan は 4 Mbit/s 以上で常に使用した。

CBR/VBR/VLCBR の 3 種類のレート制御を行う。CBR は、一定ビットレートを有効に使用するレート制御。VBR は、画像の困難度に合わせて符号を消費するレート制御である。最大レート以内で動作し、通常その 1/3 ~ 2/3 を使用する。VLCBR は、通信チャネルの状態に合わせて動的にビットレートを変化できる CBR 的レート制御である。M 枚の画像 (NTSC、M=3 で 0.1 秒) 毎に外部 HOST CPU からレート変更を受け、そのレート変更がストリーム出力に反映される時に応答を出す。

3.4 PSNR 結果

以上の結果、CBR で得られた輝度の PSNR を Table 1.a, 1.b に示す。ほぼ同じサーチ範囲の MSSG の TM5 (M=3, N=15, intra.mat, inter.mat, alternateScan, intraVLC 使用、 $[\pm 15.5 \times \text{frame 間隔}, \pm 15.5]$) と比較し 4 Mbit/s でも 9 Mbit/s でも大半の画像で 1dB 以上高く、動きの大きい画像では、1.2 dB 結果がよい。これは、符号量 20% ~ 30% の増加に相当する。SNR の数値向上は、高精度な判定アルゴリズムとレート制御によるところが大きい。

Table 1.a PSNR of MPEG Standard Sequences (4Mbit/s)

Sequences	TM5	W99201	difference
Ballet	42.99	43.69	+0.70
Bicycles	27.88	28.51	+0.63
Bus crossing	31.65	32.69	+1.04
Cheerleaders	28.84	29.54	+0.70
Flower Garden	29.52	30.62	+1.10
Football	33.13	34.33	+1.20
Mobile & Calendar	27.84	29.04	+1.20
Popple	30.60	31.65	+1.05
Table Tennis	30.20	31.15	+0.95

Table 1.b PSNR of MPEG Standard Sequences (9Mbit/s)

Sequences	TM5	W99201	difference
Ballet	44.90	45.78	+0.88
Bicycles	32.39	33.36	+0.97
Bus crossing	35.72	36.96	+1.24
Cheerleaders	33.56	34.54	+0.98
Flower Garden	33.77	34.87	+1.10
Football	37.43	38.62	+1.19
Mobile & Calendar	31.87	32.99	+1.12
Popple	33.68	34.87	+1.19
Table Tennis	33.69	34.56	+0.87

4 おわりに

10 数人の設計技術者チームで 2001 年 6 月から C モデルと RTL 設計を行った。VBI 信号の抽出、非標準ビデオ入力に対応、Audio PLL を内蔵し 2003 年春 FPGA ボード検証、5 月に $0.18\mu\text{m}$ のシャトル ES1 を作成。次に面積縮小のため、Audio DSP を除去し、ME モジュールの PE 数を半減し、DCT/IDCT/Q/IQ を再設計し 9 月に ES2 作成。ME ハードマクロ化と機能追加をして 12 月に量産サンプルを製作、2004 年春から W99201 として出荷、発売した。(208 pin flat QFP, 750mW typ) 今後は、ポータブル機器に向けた省電力化、低遅延化が課題である。

弊社¹における MPEG-2 エンコーダ LSI の開発を報告した。工夫したアーキテクチャと符号化モジュールを用い、高度なレート制御を行うことで、高性能なエンコーダ LSI となった。

¹ウィンボンド・エレクトロニクス (株) 技術部 〒 222-0033 横浜市港北区新横浜 3 丁目 7-18 第二上野ビル Phone: 045-478-5498, Fax: 045-478-1800, E-mail: katayama@winbond.com.tw